

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

Requested Patent: JP59194460A  
Title: SEMICONDUCTOR DEVICE ;  
Abstracted Patent: JP59194460 ;  
Publication Date: 1984-11-05 ;  
Inventor(s): HATADA KENZOU; others: 03 ;  
Applicant(s): MATSUSHITA DENKI SANGYO KK ;  
Application Number: JP19830068716 19830418 ;  
Priority Number(s): ;  
IPC Classification: H01L23/52 ; H01L21/66 ;

Equivalents:

ABSTRACT:

PURPOSE: To mount a plurality of semiconductor elements formed with electrode terminals at the end faces in a high density by laminating the elements, and forming connecting wirings between the terminals at the end face regions of the elements, thereby increasing the mounting elements per unit volume.

CONSTITUTION: Electrode terminals 30 are formed of low melting point metal on the end faces of a plurality of semiconductor elements 30, which are superposed to each other to form a circuit block 32. The entire shape of the superposed elements 30 is formed in a rectangular prism, and a plurality of electrode terminals 31 are formed on the same surfaces of the four end faces of the elements 30. A connector for connecting between the electrode terminals 31 of a plurality of semiconductor elements is formed with an electrode region 34 at the positions corresponding to the terminals 31 formed at the four end faces of the elements 30, for example, on a flexible film 33.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—194460

⑪ Int. Cl.<sup>3</sup>  
H 01 L 23/52  
21/66

識別記号

庁内整理番号  
6428—5F  
6851—5F

⑬ 公開 昭和59年(1984)11月5日

発明の数 2  
審査請求 未請求

(全 10 頁)

⑭ 半導体装置

① 特 願 昭58—68716

② 出 願 昭58(1983)4月18日

③ 発 明 者 畑田賢造  
門真市大字門真1006番地松下電  
器産業株式会社内

④ 発 明 者 近藤修司  
門真市大字門真1006番地松下電  
器産業株式会社内

⑤ 発 明 者 高橋弘

門真市大字門真1006番地松下電  
器産業株式会社内

⑥ 発 明 者 平井稔

門真市大字門真1006番地松下電  
器産業株式会社内

⑦ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑧ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 端面に電極端子の形成された半導体素子が複数個積層され、かつ前記素子の端面領域で前記電極端子間の接続配線を形成したことを特徴とする半導体装置。

(2) 積層された半導体素子群の端面の電極端子間が金属細線で接続されたことを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 積層された半導体素子群の端面の電極端子間が蒸着配線で接続されてなる特許請求の範囲第1項記載の半導体装置。

(4) 少なくとも表面が絶縁物質よりなる枠体の一主面上で電極端子の一端が前記枠体の内方向に突出し、かつ前記突出した電極端子と半導体素子上の電極が接合され、かつ前記電極端子の他端が前記枠体の周縁を越えて前記枠体の側壁に接合固定された構造体を積層してなる特許請求

の範囲第1項記載の半導体装置。

(5) 半導体素子上の電極にその一端が接合されている電極端子へ他端が、前記半導体素子の周縁を越えて側面に折り曲げられ、前記側面部で接合・固定された構造体を積層してなる特許請求の範囲第1項記載の半導体装置。

(6) 端面に電極端子の形成された半導体素子が複数個積層され、かつ前記半導体素子群の端面電極端子と一致した電極部分を有する導体配線の形成された配線基板により前記半導体素子の所定の端面電極端子が相互配線されたことを特徴とする半導体装置。

(7) 配線基板が多層の絶縁性基板であることを特徴とする特許請求の範囲第6項記載の半導体装置。

(8) 配線基板がフレキシブルフィルムであることを特徴とする特許請求の範囲第6項記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路の実装、特に立体的な実装形態に関するものである。

従来例の構成とその問題点

半導体集積回路の高密度実装に関しては、従来から平面的にその実装密度を上げる方法がとられて来たが、それも限度があるため、近年三次元実装への展開が考えられるようになって来た。以下、従来例を第1図及び第2図に沿って説明する。

第1図において、1は基板、2は導体配線、3、3'は半導体素子、4は上下の導体配線を接続するための第1のスタッド、5は熱可塑性樹脂、6は第1の蒸着導体配線、7は第2のスタッド、8は半導体素子、9は第2の熱可塑性樹脂、10は第2の蒸着導体配線である。第1図の構造について説明するため、以下にその製造法を記す。まず、アルミナ等の絶縁基板1上に厚膜法で導体配線2を形成する。次に所定の位置に半導体素子3、3'及び第1のスタッド4を接着固定する。スタッド4は上下の導体配線を接続するためのもので、金属や低抵抗の半導体を用いる。ついで上面より熱

可塑性樹脂シート5を加熱圧着した後スタッド上及び半導体素子の電極上にコンタクトホールを形成する。最後にCr-Cu等を蒸着し、導体配線6を形成して第1層の実装が終了する。さらに、この上に第1層と同じ工程を繰り返して第2層が、さらに同様に第3層、第4層を形成する。

次に、第2の従来例を第2図に沿って説明する。第2図において、11は基板、12は第1の枠体、13は半導体素子、14は第1の絶縁シート、15は第1の蒸着導体配線、16は接着剤、17は第2の枠体、18は半導体素子、19は第2の絶縁シート、20は第2の蒸着導体配線である。第2図の構造について説明するため、以下にその製造法を記す。まず、基板の所定部に半導体素子挿入用の穴が設けられた枠体12を準備する。その枠体12の一主面に貫通孔を有する絶縁シート14が接着され、さらに前記貫通孔に半導体素子の電極を一致させて絶縁シート14に接着する。ついで、蒸着導体配線15を形成して第一の実装構造体ができる。同様の工程で作られた第二の実装構

造体を前記第一の実装構造体に重ねて接着する。このようにして得られた構造体において蒸着導体配線同志を何らかの方法で接続しようとするものである。

以上の2例はいずれも半導体素子を搭載した基板を重ねるか、もしくは同様の構造にしたものである。特に第1の従来例では次々に半導体素子の単位で重ねて行くことになるが、半導体素子の状態では充分なる動作テストができないため、総合歩留りは極めて低いものとなる。例えば、半導体素子歩留りが95%のものを10素子この方法で搭載した時、最終歩留りは60%になり実用的とは言えない。

一方、第2の例は第1の構造体として検査できるが、第1の構造体を作るに際して第1の従来例と同じ問題が起きる上、第1、第2の構造体を接続する方策がない。いずれも半導体素子は単体で扱われるため実装の高密度化の点から言えば、不十分な技術であり、今後の本格的な三次元実装のためには半導体素子状態で積み重ねて行く方策が

必要とされる。

発明の目的

本発明はかかる従来の問題に鑑み、単一の半導体素子のレベルで充分機能検査することが可能であり、かつ半導体素子そのものを立体的に積層した従来例のない構造体を提供することを目的とする。

発明の構成

本発明は端面方向に電極端子が形成された半導体素子を複数積層し、前記電極端子間を接続することにより従来得られなかった三次元高密度実装を可能とするものである。

実施例の説明

以下に本発明の構造体に関する実施例、端面方向に電極端子が形成された半導体素子の構成例、積層された構造体の電極相互接続の構成例、及び代表的な製造法の一例を述べる。

第3図、第4図で本発明による構造体の実施例を説明する。複数の半導体素子30の端面に低融点金属で電極端子31が設けられ、前記半導体素

子30は互いに重さね合わされ1個の回路ブロック32を形成している。前記半導体素子30の重さね合わされる数は、5〜100枚程度(第3図では5枚)であって重さね合わせ後の全体の厚み、および重量を軽減させるために各々の半導体素子の厚さは100μm前後に研磨される。重さね合わされた半導体素子30の全体の形状は丁度キャラム状の四角形をしており、半導体素子30の四端面の同一面上に各々の電極端子31が複数個形成されている。前記複数の半導体素子の電極端子31間をつなぐ接続体は例えばフレキシブルフィルム33上に半導体素子30の四端面に形成された各々の電極端子31と対応する位置に電極領域34が形成されている。前記電極領域34はフレキシブルフィルム33上の金属膜を蝕刻して形成されたパターンより成り、電極領域34間を相互に電気的に配線接続した構造となっている。更に、前記電極領域34は前記フレキシブルフィルム33を貫通し、スルーホールでもって形成してもよい。この場合前記スルーホールは前記各々の

半導体素子の電極端子31が位置するか、もしくは嵌合するよう形成する。

フレキシブルフィルム33の全体形状は第4図に示す形状で、前記重さね合せた半導体素子30全体を包含し、かつ、フレキシブルフィルム33上に設けた電極領域34と合致するものである。外部基板と接続するためのコード端子35は半導体素子30の電極端子が形成されていない面、即ち、半導体素子の主面又は裏面に対する面より導出される。この場合は導出すべき部分に電極となる突起もしくはピン状端子35を設けて相手の外部基板との接続を容易ならしめるもので良い。更に又重さね合わせた半導体素子間の接続をするための部材としてこれまで、フレキシブルフィルムの例で述べてきたが、特にこれにこだわるものではない。例えば、厚い配線基板もしくはセラミック基板に、前記した重さね合わせた半導体素子の電極端子と対応する電極領域と相互配線を施せば良い。前記フレキシブルフィルム33で半導体素子を包含し電極同士の接続した後、第4図に示す

枠体36に挿入し機械的保護を行なわしめる構成でもよい。

次に本発明の構成体に使用する半導体素子の構成例について述べる。

#### 〈半導体素子 例1〉

第5図に示した実施例は、耐熱性樹脂60上に電極端子61が形成され、その電極端子の突出した一端に半導体素子62の突起電極63を接合するTape Automated Bonding(以下TABと称す)を使用したものである。通常TAB方式ではボンディング後、半導体素子62あるいは耐熱性樹脂60より電極端子61がつき出た状態に切断し、外部基板に接合されるが、本例では半導体素子62の周辺に耐熱性樹脂部を残しかつ耐熱性樹脂部60で切断することにより電極端子61の切断部が露面に出て、なおかつ重さね合わせるとき電極端子の短絡が耐熱性樹脂60により防止できるものである。第6図は第5図の半導体素子を平面的に見たものである。第5図と同一箇所には同一番号を付した。以下第11図まで同様に同一番

号を付した。

#### 〈半導体素子 例2〉

第7図の例は電極端子61から延在した電極端子61Aが耐熱性樹脂60に取付けられたスルーホール導体により形成される構成である。スルーホール部を切断することにより第7図の構造が得られる。

#### 〈半導体素子 例3〉

第8図に示した実施例もTAB方式を用いたものであるが、電極端子61が耐熱性樹脂60の側面にまで折り曲げられた構造である。電極端子61Bの長さには端面に少し曲がり込んだ程度で充分である。

#### 〈半導体素子 例4〉

第9図に示した例は、半導体素子62の側面に電極端子61が曲げられているが、半導体素子の側面は絶縁性樹脂64で保護されており、電極端子61と半導体素子62の短絡を防止している。この場合、金属1層のフィルムキャリアを用いたTAB方式が利用できる。

## 〈半導体素子 例5〉

第10図の例は第9図と同じ構造となっているが、この場合は電極端子61が半導体素子62の側面に接着剤65で絶縁を兼ねて接着されている。本例では半導体素子の側面を予かじめ絶縁処理することなく、電極端子61と半導体素子62の短絡を防止することができる。

## 〈半導体素子 例6〉

第11図の例は半導体素子62の電極63からの電極端子61が金属箔(例えばAl, Cu, Au)1層からなるテープキャリアを用いた場合である。この例では、外部への接続用に電極端子の一部が厚くなっており、この部分は接着剤65で半導体素子の側面に接着される。電極端子の厚さは、半導体素子に接合する領域で数10 $\mu$ m、その他の部分は100 $\mu$ m～数100 $\mu$ m程度が良い。

次に半導体素子の積層、電極相互接続の例について述べる。

## 〈積層構造 例1〉

第12図、第13図は前述した半導体素子例1

部分に形成された半導体素子積層ブロックができる。

また他の構造として、上述のポンプ電極がメッキ法により形成された構造のものでもよい。即ち半導体素子積層ブロックの電極端子93露出部位に対し、電気伝導度の秀れた金属材料を選択的にメッキ処理を施すことにより、前述の場合と同様に、同部位にはメッキによるポンプ電極98が構成され、第15図の如くその周辺部に電極ポンプを有する半導体積層ブロックが構成される。

また、第14図の如く積層された構造体の樹脂部をエッチング(例えば酸素プラズマエッチング)し、露部の樹脂部を選択的に数10 $\mu$ m～数100 $\mu$ m削りとることにより、第16図の如く電極端子を突出させることができる。

次に電極相互接続の例について述べる。

## 〈電極相互接続 例1〉

本例は第17図の如く、半導体素子積層ブロックの四囲の各辺、即ち電極端子93の露断面が露呈している各面に対し、電気伝導度の良い金属材料

～6)即ち、端面方向に電極端子93を形成した半導体素子91を複数個積層した構造を示す断面略図である。即ち、その端面方向に電極端子93を有する半導体素子91は基板96上にスペーサ94を介して絶縁性樹脂材料95により接着・積層される。最後に蓋体97が接着されて第14図の形となるが、全体として立方体形状になる。また、その時、立方体に積層された構造体の形状は第14図に側面図を示す如く、絶縁性樹脂材料95及び耐熱性樹脂92に囲まれて、電極端子93の端断面部位が整列配置した状態で露出した構造が得られる。

次に、電極端子端部の処理の例について第15図、第16図に沿って説明する。

第14図の如く、四囲の各辺に電極端子93の露断面が露出している半導体素子積層ブロックを、溶融半田槽に短時間浸漬することに依り、電極材93の露断面部位には半田金属が結着する。即ち第15図に示す如く厚さ数10 $\mu$ m～数100 $\mu$ mの所謂半田パンプ98が、すべての電極端子93

料を蒸着或はメッキ処理等により、数 $\mu$ m～数10 $\mu$ mの厚みで形成し、しかる後ホットプロセスに依り、積層形成した半導体素子群の電極端子93間を相互に結合する配線パターン99を形成した構造のものである。

## 〈電極相互接続 例2〉

本例は積層した半導体素子群それぞれの露断面が露呈している電極端子93に対し、電極端子93相互間を電気的に接続する場合に、第18図の如くワイヤーボンディング法に依り、電極端子93間をAu或はAl細線100に依り結着したものである。

また相互に結着した電極或は単独の電極と外部枠体の電極(図示せず)との結合は、同図の如く半導体素子の積層ブロック形成時に電極端子専用層101を同時に積層し、同専用層が形成する電極金属の露断面部位102を用いて接続する。

以上述べた如く積層した場合、熱放散が問題となる。この問題を解決するために積層構造の中間に放熱板を挿入する構造を第19図に示した。

本例第19図は消費電力の大きい半導体系子を積層形成して構成する半導体系子群の放熱性の向上を図った構造である。

即ち半導体系子を積層形成するに当り、第19図の斜視図の如く、数層間隔で半導体系子の裏面部位に金属薄板或は熱伝導性の良好な材料からなる放熱薄板103を同時に積層した構造であり、同放熱用薄板は第19図の様にその一方が積層ブロックの外部まで延長しており、同延長部位に放熱効果を有した構造のものである。

次に本発明の製造方法例について述べる。

#### <製造方法例 1>

第20図は概略を示す断面図であるが、必要な場合、同様の方法により四面同時に行なうこともできる。

重さね合わせた半導体系子30の電極端子31とフレキシブルフィルム33の電極領域34を位置合せし、四端面より38の方向に加熱加圧する。これにより、半導体系子30の電極材料である低融点金属は溶解し、機械的及び電気的に接続が完

了する。この場合、外部基板と接するための外部端子は予かじめ前記フレキシブルフィルムの面に半田パンプ又はピン(第3図35)を設けておいても良いし、前記半導体系子の四端面の電極端子とフレキシブルフィルムとの接続が終了した時点で形成しても良い。更に又、第21図の様に相互配線が終了したものを枠体36に挿入し、フレキシブルフィルム33の底面に設けた電極領域39、枠体36の底面の電極領域40を加熱し、結合させてもよい。枠体36には外部基板と接続させるためのピン35が形成されている。この様な構成であれば機械的に安定な半導体装置ができ、取扱いが容易である。

#### <製造方法例 2>

第22図に示す如く、枠体36に前記フレキシブルフィルム33を挿入し、次いで重さね合わせた半導体系子を挿入し(第22図b)、枠体36全体を加熱すれば、半導体系子の電極端子とフレキシブルフィルム上の電極領域の低融点金属は溶解し、半導体系子端面に形成した電極端子30と

フレキシブルフィルム33の電極領域31とが接続される。この様な製造方法においては枠体36を用いて枠体36の中にフレキシブルフィルム33と重さね合わせた半導体系子30とを挿入し、一度に熱処理するために、工程が簡単で個々の電極同志の位置合わせが容易となる。

#### <製造方法例 3>

第23図に示した様に、重さね合わせた半導体系子の電極端子間を接続するため、相互配線体を多層配線基板41(例えば、エポキシ、ガラス、セラミック等)上に形成したものを用いる。即ち、前記基板上に予かじめ半導体系子30の電極端子31間を接続する電極領域42と電極領域間の相互配線(第23図では省略)とを形成しておくのである。この多層配線基板41を積層した半導体系子30の各端面毎に各々位置合わせを行ない加熱する方法である。この場合、前記各端面に取付けられた多層配線基板間の接続は前記多層配線体の端面に設けた電極領域60を用いて実施する。

#### <製造方法例 4>

更に改良された方法として第24図に示す如く多層配線基板41で予かじめ四角の枠体を形成し、半導体系子端面の電極端子と接する電極領域が内側になる様にしておき(第24図a)、重さね合わせた半導体系子30を挿入し、加熱すれば半導体系子の電極端子と多層配線基板電極領域との接続が著しく容易にできるものである。(第24図b)

#### 発明の効果

本発明の場合、100 $\mu$ mの半導体系子を互いに重さね合わせ、積層構造にし、前記半導体系子の端面方向に電極端子を導出するとともに、前記端面領域で前記電極端子間の相互の配線接続を実施している。

このために①単位体積当りの実装半導体系子が多く、高密度実装が行なえる構造である。例えば半導体系子の厚さを100 $\mu$ mとして、20個の半導体系子を積層にしてもわずか2mmの厚さで各半導体系子の層間の貼りつけ用樹脂を考慮してもたかだか2.5mmの厚さと非常に薄くかつ、高密度

に実装できるものである。

②また、各半導体素子の電極端子が端面方向に導出され、端面領域内で相互に接続されるから、配線長が著しく短い。例えば前述した例の如く20個の半導体素子を積層にした場合でもわずか2.5mmの配線長で処理できるため配線抵抗が小さく、メモリーICやあるいは高周波IC等の高速化をさまたげる事がない。

③本発明の場合、半導体素子からの電極端子が端面方向に導出されこれを重さね合わせた構造であるから、不必要な支持体等が全くない。このため半導体装置全体を軽くする事ができる。

④又、本発明は半導体素子を重さね合わせ積層する構造であるから、従来の如く平面に並べる方式に比べ、著しく小面積である。

⑤すでに述べた如く、半導体素子の電極端子を形成する段階において例えばフィルムキャリアのリード端子に半導体素子をインナーリード接続ししかるのちフィルム上でファンアウトしたリード端子の部分で電気的にあらかじめ、測定検査する

ことができる。したがって前記半導体素子を積層する段階においては、完全に検査された良品のみを用いることができ、従来の如く単にウェハーの段階で検査を施した半導体素子に比べ半導体装置としての歩留りが著しく高いものである。

#### 4. 図面の簡単な説明

第1<sup>図</sup>、第2<sup>図</sup>は半導体素子を搭載した基板を重さね合わせた従来の構造断面図、第3<sup>図</sup>は本発明の一実施例の半導体装置の概略構造図、第4<sup>図</sup>はフレキシブルフィルムと矽体の概略図、第5<sup>図</sup>~第11<sup>図</sup>は本発明に使用する半導体素子の構造断面図、第12<sup>図</sup>~第14<sup>図</sup>は本発明の積層構造例の断面図、第15<sup>図</sup>、第16<sup>図</sup>は本発明における積層構造端面の電極処理を示す図、第17<sup>図</sup>~第19<sup>図</sup>は本発明における相互接続配線例の構造図、第20<sup>図</sup>~第24<sup>図</sup>は本発明の製造法例を示す図である。

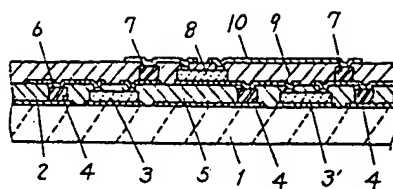
30……半導体素子、31……電極端子、33……フレキシブルフィルム、35……ピン、36……矽体、41……多層基板、42……電極、60……耐熱性樹脂、61……電極端子、62……半

導体素子、63……突起電極、65……接着剤、91……半導体素子、92……耐熱性樹脂、93……電極端子、94……スペーサー、95……絶縁性樹脂材料、96……基板、98……端面の電極、99……相互接続配線、100……金属細線、103……放熱板。

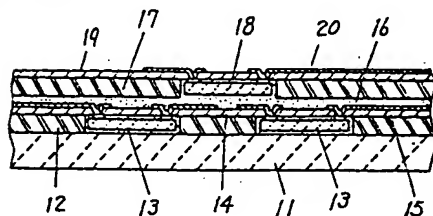
代理人の氏名 井理士 中 尾 敏 男 ほか1名



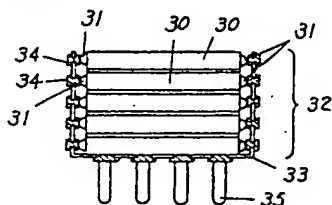
第 1 図



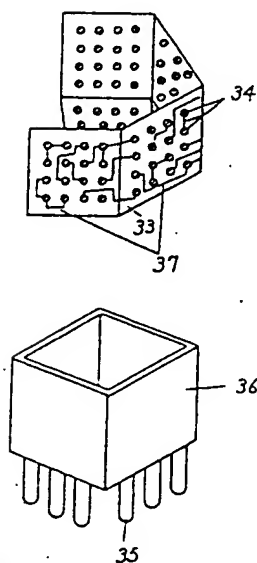
第 2 図



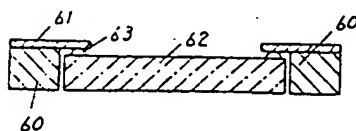
第 3 図



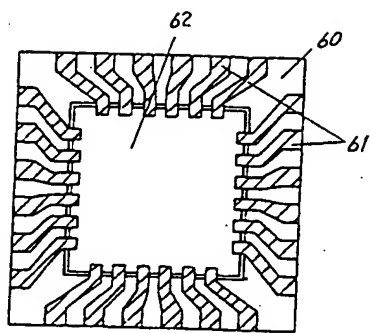
第 4 図



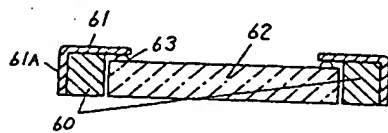
第 5 図



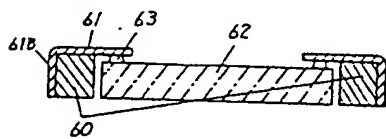
第 6 圖



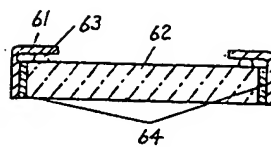
第 7 圖



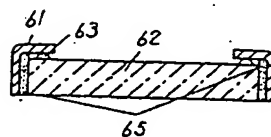
第 8 圖



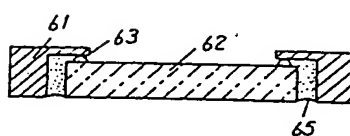
第 9 圖



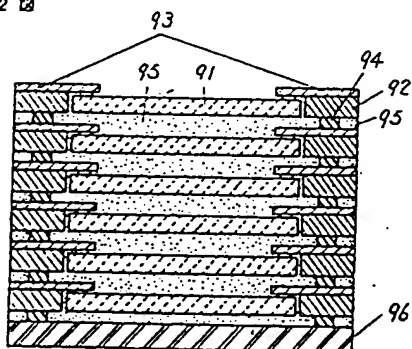
第 10 圖



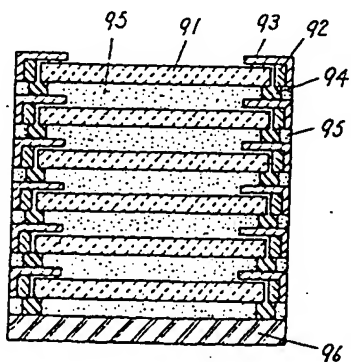
第 11 圖



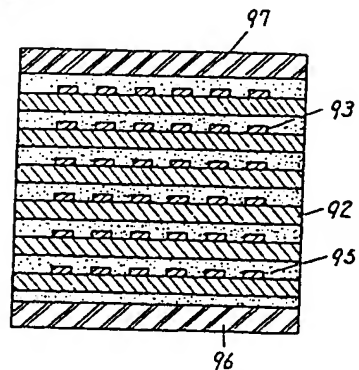
第 12 圖



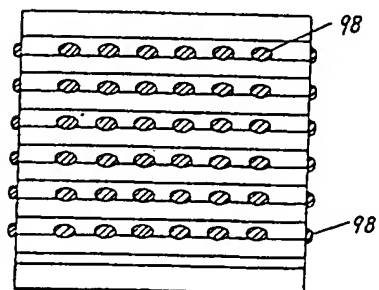
第 13 圖



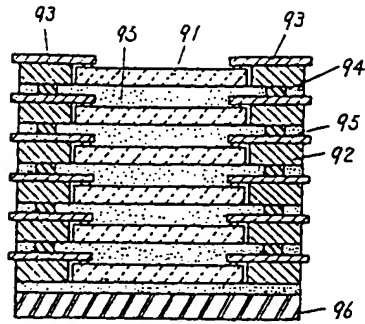
第 14 圖



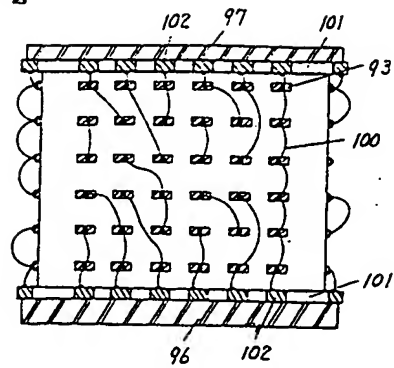
第 15 圖



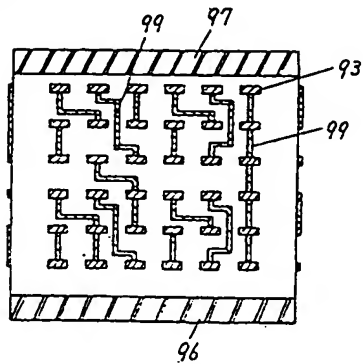
第16図



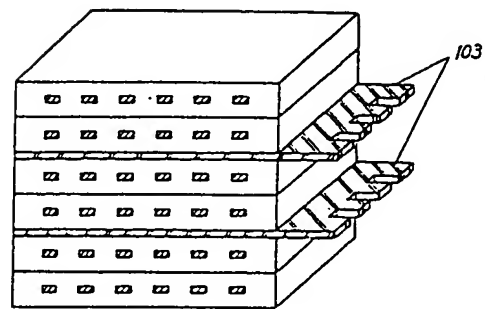
第18図



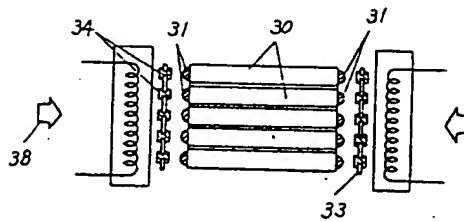
第17図



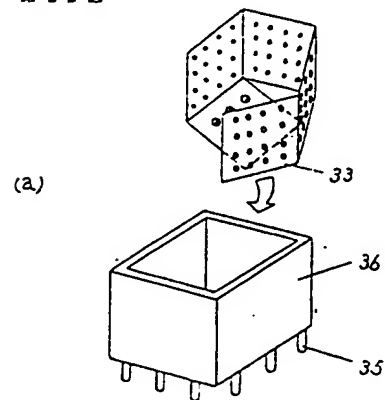
第19図



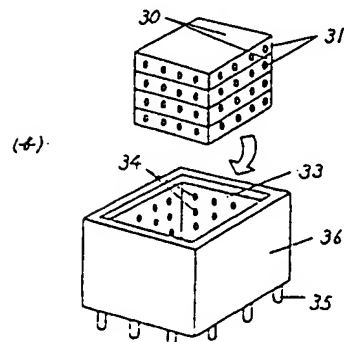
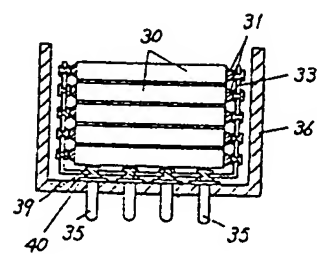
第20図



第22図

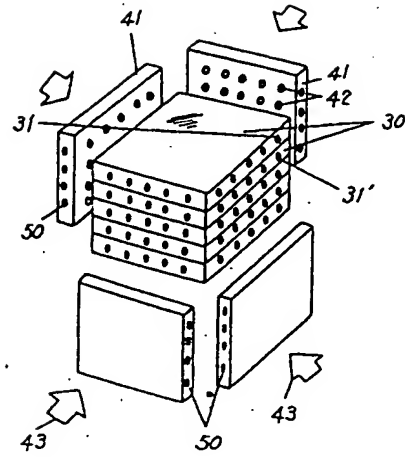


第21図

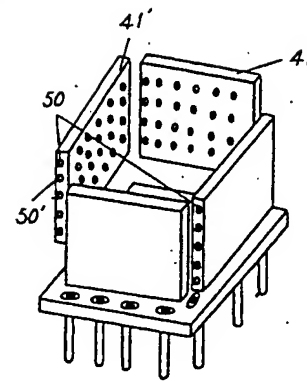


第 2 4 図

第 2 3 図



(a.)



(b.)

